

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-077318
 (43)Date of publication of application : 22.03.1996

(51)Int.Cl. G06K 19/07
 B42D 15/10

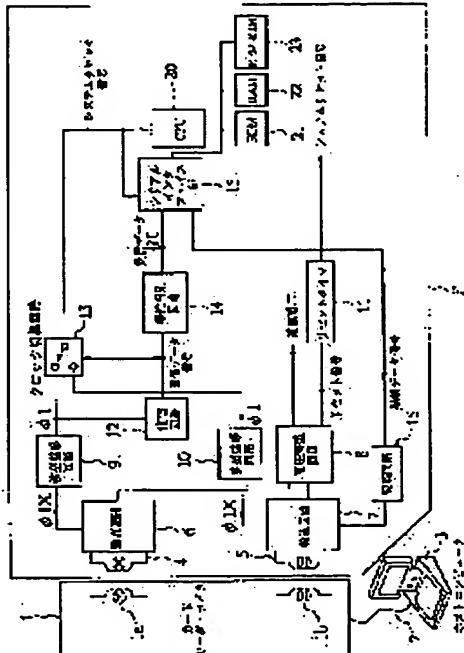
(21)Application number : 06-214954 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 08.09.1994 (72)Inventor : GOTO YUICHI

(54) NONCONTACT INFORMATION RECORDING MEDIUM

(57)Abstract:

PURPOSE: To provide the noncontact information recording medium which supplies stable clock signals, can secure much stabler operations against the fluctuation of a power supply voltage, further, can stably transmit and receive data and can be easily made into an LSI as well.

CONSTITUTION: Receiving carrier waves ϕ_{1x} and ϕ_{2x} , of which the phases are shifted at 90° each other, are received by respective coupling coils 4 and 5, the respective carrier waves are rectified by rectifier circuits 6 and 7, a DC voltage is outputted and further controlled by a voltage control circuit 8 so as to be a fixed voltage, and the power supply voltage of a circuit inside an IC card P is supplied. This voltage control circuit 8 is provided with a generating circuit for a reset signal provided with hysteresis characteristics in the case of monitoring the power supply voltage, the waveforms of the received carrier waves ϕ_{1x} and ϕ_{2x} are respectively shaped by waveform shaping circuits 9 and 10, data waves ϕ_{1y} and ϕ_{2y} are outputted and based on the change state of data, any one of those data waves is selected by a clock switching circuit 13 is defined as a system clock signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-77318

(43)公開日 平成8年(1996)3月22日

(51)Int.Cl.⁶

G 0 6 K 19/07

B 4 2 D 15/10

識別記号

府内整理番号

F I

技術表示箇所

5 2 1

G 0 6 K 19/ 00

H

審査請求 未請求 請求項の数5 O L (全13頁)

(21)出願番号 特願平6-214954

(22)出願日 平成6年(1994)9月8日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 後藤 純一

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

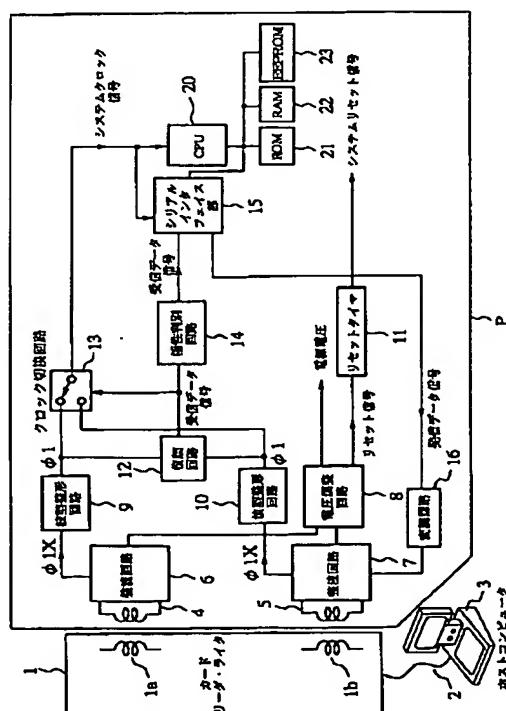
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 非接触式情報記録媒体

(57)【要約】

【目的】 安定したクロック信号を供給し、また電源電圧の変動に対してより安定な動作が確保でき、しかも安定したデータの送受信が可能となり、LSI化も容易な非接触式情報記録媒体を提供する。

【構成】 結合コイル4、5のそれぞれで位相が互いに90°ずれている受信搬送波 $\phi 1x$ 、 $\phi 2x$ を受信し、それぞれを整流回路6、7で整流して直流電圧を出し、さらに電圧調整回路8で一定電圧になるよう調整して、ICカードPの内部回路の電源電圧を供給し、この電圧調整回路8において、電源電圧を監視する際、ヒステリシス特性を持ったりセット信号の発生回路を設け、また、受信搬送波 $\phi 1x$ 、 $\phi 2x$ をそれぞれ波形整形回路9、10で波形整形してデータ波 $\phi 1$ 、 $\phi 2$ を出し、クロック切換回路13で、データの変化状態をもとに、そのいずれか一方を選択してシステムクロック信号とする。



【特許請求の範囲】

【請求項1】 受信した搬送波から内部回路の電源電圧を得る非接触式情報記録媒体において、搬送波を受信する受信手段と、この受信手段で受信された搬送波を整流して直流電圧を供給する電圧供給手段と、この電圧供給手段で供給された直流電圧を一定電圧に調節して前記電源電圧を供給する電圧調整手段と、この電圧調整手段で供給される電源電圧が前記内部回路の動作保証電圧より低くなったとき、前記内部回路をリセット状態にし、前記電圧調整手段で供給される電源電圧が、前記内部回路の規定動作電圧より高くなったとき前記リセット状態を解除するよう制御するリセット制御手段と、を具備したことを特徴とする非接触式情報記録媒体。

【請求項2】 受信した搬送波からデータ信号を復調するとともに、その搬送波を内部回路の動作クロック信号として利用する非接触式情報記録媒体において、位相が互いにずれている2つの搬送波をそれぞれ受信する2つの搬送波受信手段と、この2つの搬送波受信手段のそれぞれで受信された搬送波のそれぞれに対して波形整形を行う2つの波形整形手段と、この2つの波形整形手段のそれぞれで波形整形された搬送波からデータ信号を復調する復調手段と、この復調手段で復調されたデータ信号からデータ変化状態を検出する検出手段と、この検出手段で検出されたデータ変化状態に応じて前記波形整形手段で波形整形された2つの搬送波のうちどちらか一方を選択して前記動作クロック信号とする選択手段と、を具備したことを特徴とする非接触式情報記録媒体。

【請求項3】 受信した搬送波からデータ信号を復調するとともに、内部回路の電源電圧を得る非接触式情報記録媒体において、位相が互いにずれている2つの搬送波をそれぞれ受信する2つの搬送波受信手段と、この2つの搬送波受信手段のそれぞれで受信された搬送波のそれを整流して得られる直流電圧および前記搬送波に伴う交流電流をそれぞれ供給する2つの電圧電流供給手段と、この2つの電圧電流供給手段のそれぞれで供給された交流電流のそれをもとに、前記2つの搬送波のそれぞれの波形整形を行う2つの波形整形手段と、前記2つの電圧電流供給手段でそれぞれ供給された直流電圧を一定電圧になるよう調節して前記電源電圧を供給するとともに、前記2つの波形整形手段に供給される交流電流をほぼ等しくなるよう制御する制御手段と、前記波形整形手段で波形整形された前記2つの搬送波とともにデータ信号を復調する復調手段と、

を具備したことを特徴とする非接触式情報記録媒体。

【請求項4】 受信した搬送波を内部回路の動作クロック信号として利用し、その動作クロック信号をもとに生成された送信データ信号を変調し、その送信搬送波を送信する非接触式情報記録媒体において、交流信号である前記送信搬送波の半サイクルを短絡する短絡手段と、この短絡手段で半サイクルを短絡された送信搬送波により、磁気結合されたコイルの負荷を変動させて前記送信搬送波を送信する送信手段と、を具備したことを特徴とする非接触式情報記録媒体。

【請求項5】 受信した搬送波からデータ信号を復調するとともに、その搬送波を内部回路の動作クロック信号として利用し、その動作クロック信号をもとに生成された送信データ信号を変調し、その送信搬送波を送信する非接触式情報記録媒体において、位相が互いにずれている2つの搬送波をそれぞれ受信する2つの搬送波受信手段と、この2つの搬送波受信手段のそれぞれで受信された搬送波のそれぞれの波形整形を行う2つの波形整形手段と、この2つの波形整形手段で波形整形された2つの搬送波のうちいずれか一方を選択して前記動作クロック信号とする選択手段と、前記送信搬送波を前記2つの搬送波受信手段のいずれか一方を用いて送信する送信手段と、この送信手段で前記送信搬送波を送信するとき、前記選択手段に対し、前記送信手段で用いられていない方の前記搬送波受信手段で受信された搬送波を選択するよう制御する制御手段と、を具備したことを特徴とする非接触式情報記録媒体。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、たとえば、磁気結合を用いて非接触に電源、データ、クロック信号の送受信を行う非接触式ICカード等の非接触式情報記録媒体に関する。

【0002】

【従来の技術】 最近、情報記録媒体としてのICカードの信頼性向上のため、機械的な接点部をなくし、電磁結合を用いて非接触に電源、データの送受信を行う非接触式ICカードが考案されている。このような非接触式ICカード（以下、単にICカードと呼ぶ）は、2つの結合コイルを具備し、PSK（Phase Shift Keying）変調方式により変調された信号を磁気変動を通じて受信し、その搬送波を整流することにより、ICカード内の電源電圧を供給するようになっている。また、この2つの結合コイルの負荷を変動させることにより発生する磁気変動により信号を送信している。さらに、このICカードは、CPUを内蔵するため、CPUを動作させるためリセット信号およびクロック信号といった制御信号が必

要となる。一般に、このクロック信号は、カード内部に具備された発振回路からのクロック信号を、PLL (Phase-Locked Loop) 回路を用いて、受信したPSK変調された信号から抽出したクロック信号に同期させたものを用いている。また、リセット信号は、電源電圧を監視して、ある一定電圧以下になったときにある時定数だけ遅れてCPUをリセットするよう出力されていた。

【0003】

【発明が解決しようとする課題】このようなICカードに内蔵されたCPUの動作のために必要なクロック信号を生成するためのPLL回路や発振器は、アナログ回路の時定数をもった部分を含み、回路を半導体の集積回路上に構成すること(LSI化)が困難であるという問題点があった。

【0004】また、同じくCPU動作のために必要なりセット信号を、前述したような単純なりセット信号発生回路で生成した場合、磁気結合の物理的な距離の変化による電源電圧の変動等により不用意にリセット信号が発生したりして、CPUの動作が不安定になってしまうという問題点があった。

【0005】また、データの送受信を行なうための回路構成をICカードに内蔵しなければならないため、回路構成部品の配置に制約が多く、特に、結合コイルの磁気結合状態によっては安定したデータの送受信が困難であるという問題点もあった。

【0006】そこで、本発明は、PLL回路や発振器を内蔵することなく、安定したクロック信号を供給し、また電源電圧の変動に対してより安定な動作が確保でき、しかも安定したデータの送受信が可能となり、LSI化も容易な非接触式情報記録媒体を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の非接触式情報記録媒体は、受信した搬送波から内部回路の電源電圧を得る非接触式情報記録媒体において、搬送波を受信する受信手段と、この受信手段で受信された搬送波を整流して直流電圧を供給する電圧供給手段と、この電圧供給手段で供給された直流電圧を一定電圧に調節して前記電源電圧を供給する電圧調整手段と、この電圧調整手段で供給される電源電圧が前記内部回路の動作保証電圧より低くなったとき、前記内部回路をリセット状態にし、前記電圧調整手段で供給される電源電圧が、前記内部回路の規定動作電圧より高くなつたとき前記内部回路のリセット状態を解除するよう制御するリセット制御手段とを具備している。

【0008】また、本発明の非接触式情報記録媒体は、受信した搬送波からデータ信号を復調するとともに、その搬送波を内部回路の動作クロック信号として利用する非接触式情報記録媒体において、位相が互いにずれている2つの搬送波をそれぞれ受信する2つの搬送波受信手

段と、この2つの搬送波受信手段のそれぞれで受信された搬送波のそれぞれに対して波形整形を行う2つの波形整形手段と、この2つの波形整形手段のそれぞれで波形整形された搬送波からデータ信号を復調する復調手段と、この復調手段で復調されたデータ信号からデータ変化状態を検出する検出手段と、この検出手段で検出されたデータ変化状態に応じて前記波形整形手段で波形整形された2つの搬送波のうちどちらか一方を選択して前記動作クロック信号とする選択手段とを具備している。

【0009】また、本発明の非接触式情報記録媒体は、受信した搬送波からデータ信号を復調するとともに、内部回路の電源電圧を得る非接触式情報記録媒体において、位相が互いにずれている2つの搬送波をそれぞれ受信する2つの搬送波受信手段と、この2つの搬送波受信手段のそれぞれで受信された搬送波のそれを整流して得られる直流電圧および前記搬送波に伴う交流電流をそれぞれ供給する2つの電圧電流供給手段と、この2つの電圧電流供給手段のそれぞれで供給された交流電流のそれをもとに、前記2つの搬送波のそれぞれの波形整形を行う2つの波形整形手段と、前記2つの電圧電流供給手段でそれぞれ供給された直流電圧を一定電圧になるよう調節して前記電源電圧を供給するとともに、前記2つの波形整形手段に供給される交流電流をほぼ等しくなるよう制御する制御手段と、前記波形整形手段で波形整形された前記2つの搬送波をもとにデータ信号を復調する復調手段とを具備している。

【0010】また、本発明の非接触式情報記録媒体は、受信した搬送波を内部回路の動作クロック信号として利用し、その動作クロック信号をもとに、生成された送信データ信号を変調し、その送信搬送波を送信する非接触式情報記録媒体において、交流信号である前記送信搬送波の半サイクルを短絡する短絡手段と、この短絡手段で半サイクルを短絡された送信搬送波により、磁気結合されたコイルの負荷を変動させて前記送信搬送波を送信する送信手段とを具備している。

【0011】さらに、本発明の非接触式情報記録媒体は、受信した搬送波からデータ信号を復調するとともに、その搬送波を内部回路の動作クロック信号として利用し、その動作クロック信号をもとに生成された送信データ信号を変調し、その送信搬送波を送信する非接触式情報記録媒体において、位相が互いにずれている2つの搬送波をそれぞれ受信する2つの搬送波受信手段と、この2つの搬送波受信手段のそれぞれの波形整形を行う2つの波形整形手段と、この2つの波形整形手段で波形整形された2つの搬送波のうちいずれか一方を選択して前記動作クロック信号とする選択手段と、前記送信搬送波を前記2つの搬送波受信手段のいずれか一方を用いて送信する送信手段と、この送信手段で前記送信搬送波を送信するとき、前記選択手段に対し、前記送信手段で用いられていない方の前記搬

送波受信手段で受信された搬送波を選択するよう制御する制御手段とを具備している。

【0012】

【作用】搬送波を受信して、その受信した搬送波を整流して直流電圧を供給し、この供給された直流電圧を一定電圧に調整して、非接触式情報記録媒体の内部回路の電源電圧を供給し、この供給された電源電圧が前記内部回路の動作保証電圧より低くなったとき前記内部回路をリセット状態にし、前記電源電圧が前記内部回路の規定動作電圧より高くなったとき前記内部回路のリセット状態を解除するように、ヒステリシス特性を持たせて前記内部回路へのリセット制御を行うことにより、前記内部回路が前記電源電圧の変動に対してより安定な動作が確保できる。

【0013】また、位相が互いにずれている2つの搬送波をそれぞれ受信し、この受信されたそれぞれの搬送波に対して波形整形を行い、この波形整形されたそれぞれの搬送波からデータ信号を復調し、復調されたデータ信号からデータ変化状態を検出し、検出されたデータ変化状態に応じて前記波形整形された2つの搬送波のうちどちらか一方を選択して前記内部回路の動作クロック信号とすることにより、安定したクロック信号を供給することが可能となる。

【0014】また、位相が互いにずれている2つの搬送波をそれぞれ受信し、この受信された2つの搬送波をそれぞれ整流して直流電圧を供給すると同時に、前記2つの搬送波に伴う交流電流をそれぞれ供給し、この供給された交流電流のそれともに前記2つの搬送波のそれぞれの波形整形を行い、前記供給された直流電圧を一定電圧に調整して、非接触式情報記録媒体の内部回路の電源電圧を供給するとともに、前記供給されたそれぞれの交流電流がほぼ等しくなるように制御することにより、安定したデータの受信が可能となる。

【0015】また、変調された送信データ信号の搬送波の半サイクルを短絡し、この短絡された搬送波により、磁気結合されたコイルの負荷を変動させて前記搬送波を送信することにより、前記非接触式情報記録媒体の内部回路の電力損失が無く、安定したデータの送信が可能となる。

【0016】また、位相が互いにずれている2つの搬送波を2つの搬送波受信手段でそれぞれ受信し、この受信された搬送波のそれぞれに対して波形整形し、その波形整形された搬送波のいずれか一方を非接触式情報記録媒体の内部回路の動作クロック信号として利用し、その動作クロック信号をもとに生成された送信データ信号を変調し、その搬送波を前記2つの搬送波受信手段のいずれか一方を用いて送信するとき、前記搬送波受信手段うち送信のために用いられていない方の搬送波受信手段で受信された搬送波を選択して前記動作クロック信号とすることにより、安定したクロック信号を供給することが可

能となる。さらに、以上の構成、効果から、PLL回路や発振器等のアナログ回路が不要となり、LSI化も容易となる。

【0017】

【実施例】以下、本発明の一実施例について図面を参照して説明する。図1は、本発明の非接触式情報記録媒体としての非接触式ICカードの構成を概略的に示したものである。

【0018】図1において、非接触式ICカード（以下、単に、ICカードと呼ぶ。）Pには、カードリーダライタ1に具備された結合コイル1a、1bを介して、PSK変調されたデータ信号の搬送波が送信されるようになっている。このカードリーダライタ1は、通信回線2を介してホストコンピュータ3と接続されていて、このホストコンピュータ3の制御のもと動作するようになっている。すなわち、カードリーダライタ1で、ICカードPからのデータ信号の搬送波を受信すると、データ信号を復調し、そのデータを通信回線2を介してホストコンピュータ3に送信すると、ホストコンピュータ3では、そのデータに対して種々の処理を施す。また、ホストコンピュータ3からの送信データは、通信回線2を介してカードリーダライタ1に送信され、カードリーダライタ1では、その送信データをデータ信号としてPSK変調して、その搬送波をICカードPに対して送信する。

【0019】カードリーダライタ1とICカードPとの間のデータ等の送受信は、送信側のカードリーダライタ1の結合コイル1a、1b、あるいは、ICカードPの結合コイル4、5のそれぞれにおける負荷の変動により生じる高周波の磁界の変動を受信側の結合コイルで受けことにより成り立っている。

【0020】カードリーダライタ1からICカードPがデータ等を受信する場合、カードリーダライタ1の結合コイル1a、1bから、ICカードPの結合コイル4、5に、それぞれ、受信搬送波として、位相が90°ずれた高周波の磁界が与えられる。その結果、結合コイル4、5のそれぞれには電磁誘導により、位相が互いに90°ずれた交流の誘導電圧、誘導電流が発生する。

【0021】この結合コイル4、5は、それぞれ整流回路6、7に接続されていて、ここでその交流電圧が整流されて直流電圧となる。この整流回路6、7からの直流電圧は、電圧調整回路8に入力され、ここで一定電圧に調整され、ICカードPの電源電圧を取り出すようになっている。この整流回路6、7からの直流電圧は、結合コイル4、5の磁気結合の状態により大きく変動し、ICカードP内部の回路を安定に動作させることができない。従って、この電圧調整回路8により内部の回路を安定に動作させるために一定の電源電圧に安定するよう調整されるようになっている。

【0022】結合コイル4からの受信搬送波Φ1xは、

整流回路6で一定の出力電流として取り出され、この一定の出力電流は波形整形回路9に入力されて、なまつた波形がきれいにされてパルス信号としてのデータ波 $\phi 1$ が出力される。

【0023】一方、結合コイル5からの受信搬送波 $\phi 2x$ は、整流回路7で一定の出力電流として取り出され、この一定の出力電流は波形整形回路10に入力されて、なまつた波形がきれいにされてパルス信号としてのデータ波 $\phi 2$ が出力される。尚、データ波 $\phi 1$ とデータ波 $\phi 2$ は互いに位相が90°ずれている。

【0024】このように、2つのコイルを用いた方式では広い通信帯域で安定した直流電圧が得られるように整流回路6、7が結合コイル4、5のそれぞれに接続される（図1参照）。しかし、単純にそれぞれを接続した場合、結合コイル4、5の磁気結合の状態により、整流回路6、7のどちらか一方の出力電圧が高い方のみ多くの電流が流れ、他方に流れる電流が少なくなり、その波形整形回路の出力に安定したパルス信号のデータ波を出力することができなくなる。そこで、各整流回路にほぼ等しい電流を流すようにするために、電圧調整回路8で調整されている。その結果、波形整形回路9、10からは安定してデータ波が抽出できるようになっている。

【0025】電圧調整回路8は、さらに、CPU20等をリセット状態にしたり、そのリセット状態を解除するためのリセット信号を生成するようになっている。このリセット信号は、電源電圧がICカードPの内部回路の動作が保証できる電圧（動作保証電圧）より低くなったときにリセット状態にし、電源電圧がICカードPの内部回路が動作可能となる電圧（動作電圧）より高くなつたとき、リセット状態を解除するといった、電源電圧を監視してリセット状態になるときとリセット状態を解除するときの電源電圧の閾値にヒステリシス特性を持たせている。リセット信号はリセットタイマ11に入力される。

【0026】リセットタイマ11は、ICカードPのCPU20およびその周辺回路のリセット信号、すなわち、システムリセット信号を生成するためのものである。すなわち、電圧調整回路8からリセット状態が解除されるようにリセット信号が出力されてからて一定時間後にCPU20およびその周辺回路を動作を開始させるようなシステムリセット信号を生成する。

【0027】復調回路12には、波形整形回路9からのデータ波 $\phi 1$ 、波形整形回路10からのデータ波 $\phi 2$ が入力され、ここで、PSK変調信号として受信された受信データ信号が復調される。

【0028】ICカードP内の回路の動作タイミングとしてのシステムクロック信号は、データ波 $\phi 1$ あるいは $\phi 2$ を直接クロック信号として利用することにより得ることが可能である。

【0029】クロック切換回路13は、データ波 $\phi 1$ 、

$\phi 2$ のいずれか一方を、復調回路12からの出力信号から検出したデータの変化点をもとに生成した切換タイミング信号により切換えて、システムクロック信号を出力するようになっている。すなわち、データ波 $\phi 1$ 、 $\phi 2$ は、それぞれ位相が90°づれたものとなっているが、これらは、PSK変調が行われた際に、ICカードPの結合コイル4、5や、それに磁界を与えるカードリーダライタ1の周波数特性による帯域制限により、大きな包絡線変動が生じ、データ波 $\phi 1$ 、 $\phi 2$ のそれぞれから連続したクロック信号を取り出すことは難しい。このことは、データ波 $\phi 1$ 、 $\phi 2$ のそれぞれを直接システムクロック信号として利用する際、致命的な欠点となる。一般に、結合コイル4、5に磁界を与えるために共振回路が利用されるが、この共振回路が前記包絡線変動の原因となる。

【0030】そこで、このクロック切換回路13では、伝送中心周波数からのずれが低い周波数にずれるのに対し、高い周波数にずれた場合の減衰量が少ないと着目して、PSK変調波の位相が進みから遅れ位相に変化する状態の信号のみをクロック信号として利用することにより、連続したシステムクロック信号が得られるようになっている。その原理を図2、図3、図4を参照して以下に説明する。

【0031】図2は、PSK変調されている受信搬送波 $\phi 1x$ 、 $\phi 2x$ の位相遷移の具体例を示したものである。図2において、受信搬送波波 $\phi 1x$ は、データ「0」からデータ「1」に変化するとき、位相が0°から270°に90°遅れるが、受信搬送波 $\phi 2x$ はデータ「0」からデータ「1」に変化するとき、位相が90°から180°に90°進むようになっている。また、受信搬送波 $\phi 1x$ は、データ「1」からデータ「0」に変化したとき、位相が270°から0°に90°進むが、受信搬送波 $\phi 2x$ は、位相が180°から90°に90°遅れるようになっている。このように、受信搬送波 $\phi 1$ と $\phi 2$ とは逆に変化する。

【0032】尚、データの変化に伴う位相の変化は、上記の場合に限らず、図2の説明において、受信搬送波 $\phi 1x$ を受信搬送波 $\phi 2x$ に、受信搬送波 $\phi 2x$ を受信搬送波 $\phi 1x$ に読み替えててもよい。以下の説明では、前者の場合に限るものである。

【0033】図3は、受信搬送波 $\phi 1x$ 、 $\phi 2x$ の包絡線変動の様子を説明するためのものである。図3(a)は、包絡線変動を受けない理想の受信搬送波 $\phi 1x$ 、 $\phi 2x$ を示したものであり、図3(b)は、帯域制限による包絡線変動を受けた場合の受信搬送波 $\phi 1x$ 、 $\phi 2x$ を示したものである。

【0034】図3(a)において、データ変化点で、データ「1」からデータ「0」に変化した場合、遅れから進み位相に変化する受信搬送波 $\phi 1x$ からはクロック信号の再生に影響を及ぼすほどの変動は生じていない。包

絡線変動を受けると、図3 (b) に示すように、データ変化点で、データ「1」からデータ「0」に変化した場合、遅れから進み位相に変化する受信搬送波 $\phi 1_x$ は、データ変化後、包絡線変動による減衰量が大きく、クロック信号の再生が不可能となる。一方、進みから遅れ位相に変化する受信搬送波 $\phi 2_x$ は、包絡線変動による減衰量は少なく、クロック信号の再生は可能である。

【0035】図4は、クロック切換回路13において、システムクロック信号を選択する際のシステムクロック信号の様子を説明するためのものである。図4 (a) は、クロック切換回路13では、まず、システムクロック信号として、データ波 $\phi 1$ が選択されていたとき、データ「1」からデータ「0」に変化したことにより、クロック切換回路13では、システムクロック信号としてデータ波 $\phi 1$ からデータ波 $\phi 2$ に切換えた場合を示したものである。このとき、復調回路12の出力からデータの変化点を検出し、データの位相が安定しているタイミングで切換えるようにしている。すなわち、一般に、データの変化点と変化点との間の中心から後半が最も安定している状態で、その時点で切換えることが望ましい。このようにして切換えたとき、その切換時点付近のシステムクロック信号の周期はほぼ $1/4$ サイクルだけ長くなる。すなわち、通常の周期をTとすると、切換時点付近のシステムクロック信号の周期は $1.25T$ となるだけで、そのシステムクロック信号を動作タイミング信号とするCPUの動作には何等影響を与えない。また、PSK変調により、データ波 $\phi 1$ 、 $\phi 2$ の位相が変化するときは、図1の結合コイル4、5に磁界を与えるための共振回路の影響で、1度に変化せず、数周期にわたって変化するためクロック周期の変動はわずかである。以上の理由により、動作周波数の上限付近でのCPUの動作も保証できる。

【0036】図4 (b) は、クロック切換回路13では、まず、システムクロック信号として、データ波 $\phi 2$ が選択されていたとき、データ「0」からデータ「1」に変化したことにより、クロック切換回路13では、システムクロック信号としてデータ波 $\phi 2$ からデータ波 $\phi 1$ に切換えた場合を示したものである。この場合の説明も図4 (a) と同様である。

【0037】次に、図1の説明に戻る。復調回路12から出力された復調された受信データ信号は、極性判別回路14において、システムリセット信号が発生して解除されたときに、初期状態の論理（例えば「0」）に設定されるようになっている。

【0038】極性判別回路14を経由した受信データ信号は、シリアルインターフェイス部15に入力される。ここで、シリアルに入力された受信データを、システムクロック信号のタイミングに同期させて、後段のCPU2の制御のもと実行されるデジタル処理が可能なよう、例えば16ビット、32ビットのパラレル信号に変

換される。

【0039】CPU20には、シリアルインターフェイス部15、ROM21、RAM22、EEPROM23等のメモリがバスを介して接続されていて、クロック切換回路13からのシステムクロック信号のタイミングに従って動作するようになっている。

【0040】ROM21は、CPU20の制御プログラム等が格納されていて、CPU20は、このプログラムをもとに制御を行うようになっている。RAM22には、CPU20による制御処理中に発生する各種データ等を一時的に格納するようになっていて、EEPROM23には、ICカードPの所有者に固有な情報、すなわち、所有者の認証番号等の認証情報等の各種情報が格納されている。

【0041】CPU20は、シリアルインターフェイス部15から送られる受信データをもとに、ROM21に格納された制御プログラムに従って、各種制御処理を実行する。

【0042】ICカードPからカードリーダライタ1に対し、データを送信する場合、その送信データはCPU20の制御のもと、シリアルインターフェイス部15に送られる。

【0043】シリアルインターフェイス部15では、CPU20からのパラレルな送信データをシリアルに変換して、その送信データ信号を変調回路16に出力する。変調回路16では、送信データに応じて、カードリーダライタ1からの搬送波の負荷を変化させるので、この搬送波は整流回路7に入力される。このとき、その搬送波の半サイクルを短絡することにより、整流回路7では、結合コイル5の負荷を変動させて、その負荷変動に伴う磁界の変動をカードリーダライタ1に伝送するようになっている。一般には、結合コイル4、5のいずれかまたは両方の負荷を変動させればよいが、本実施例では、結合コイル5に対しての負荷を変動するようになっている。変動の方法としては、一般に、整流回路7に対し定電流あるいは抵抗性の負荷を加えることで可能だが、この方法だと負荷の電力損失による発熱があったり、負荷の変動量が小さいと、その結果PSK変調された信号を受信するカードリーダライタ1での検出が困難となる。さらに、結合コイル4、5の結合状態がICカードP内における物理的位置により大きく変化し、この変化に対し安定して送信データを伝送することが困難である。そこで、本実施例では、高周波信号である搬送波の半サイクルを短絡することによりICカードP内の電力損失がなく、また安定に送信データを送信することができるようになっている。また、送信データのS/N比(Signal to Noise Ratio)を大幅に向上させることが可能となる。

【0044】さらに、このとき、受信されたデータ波 $\phi 2$ については、そのデューティサイクルは変化するが、

位相そのものは保つことができるので、データ送信時もデータ受信が可能である。CPU20等の動作のために用いるシステムクロック信号として、デューティサイクルが保証されたクロック信号が必要な場合は、データの送信時には、送信搬送波を送信するのに使用していない方の結合コイル、すなわち、本実施例の場合、結合コイル4で受信されたデータ波φ1をシステムクロックとして選択するようにすればよい。この場合、CPU20からデータ送信を通知する信号をクロック切換回路13に入力し、クロック切換回路13では、その信号をもとに、データ送信時には、データ波φ1を選択してシステムクロック信号とするようにすればよい。

【0045】次に、図5、図6を参照いて、前述した各部の回路構成の具体例について説明する。尚、図5、図6においては、図1と同一部分には同一符号を付してある。図5において、整流回路6は、現在最も多く用いられているダイオード6a、6b、6c、6dを4個ブリッジ形に接続したブリッジ整流回路である。すなわち、結合コイル4の両端はそれぞれダイオード6aのカソードとダイオード6bのアノードの接続点O1、ダイオード6cのカソードとダイオード6dのアノードの接続点O2に接続され、結合コイル4に高周波の磁界が与えられると、その出力である交流電圧は、このブリッジ整流回路により整流されて、ダイオード6bのカソードとダイオード6dのカソードの接続点O3から直流電圧が得られる。尚、ダイオード6aのアノードとダイオード6cのアノードの接続点は接地されている。

【0046】整流回路7も整流回路6と同様で、ダイオード7a、7b、7c、7dを4個ブリッジ形に接続したブリッジ整流回路である。すなわち、結合コイル5の両端はそれぞれダイオード7aのカソードとダイオード7bのアノードの接続点O5、ダイオード7cのカソードとダイオード7dのアノードの接続点O6に接続され、結合コイル5に高周波の磁界が与えられると、その出力である交流電圧は、このブリッジ整流回路により整流されて、ダイオード7bのカソードとダイオード7dのカソードの接続点O7から直流電圧が得られる。尚、ダイオード7aのアノードとダイオード7cのアノードの接続点は接地されている。

【0047】整流回路6、7のそれぞれから出力される直流電圧は電圧調整回路8に入力される。すなわち、整流回路6の接続点O3は電圧調整回路8を構成するpチャンネルMOSFET（以下、簡単にFETと呼ぶ）30のソース端子に接続され、整流回路7の接続点O7は電圧調整回路8を構成するpチャンネルMOSFET（以下、簡単にFETと呼ぶ）31のソース端子に接続される。

【0048】以下、電圧調整回路8について説明する。FET30のゲート端子は、nチャンネルMOSFET（以下、簡単にFETと呼ぶ）32のドレイン端子に接

続される。FET32のソース端子は抵抗33の一端に接続され、抵抗33の他端は接地される。

【0049】一方、FET31のゲート端子は、nチャンネルMOSFET（以下、簡単にFETと呼ぶ）34のドレイン端子に接続される。FET34のソース端子は抵抗35の一端に接続され、抵抗35の他端は接地される。

【0050】FET32のゲート端子は、FET35のゲート端子に接続され、その接続点O10には抵抗36の一端が接続され、抵抗36の他端は、FET31のソース端子に接続される。さらに、接続点O10にはnチャンネルMOSFET（以下、簡単にFETと呼ぶ）37のドレイン端子が接続され、FET37のソース端子は接地される。また、FET37のゲート端子には、抵抗38、39のそれぞれの一端が接続され、抵抗38の他端は接地されている。

【0051】FET30のドレイン端子とFET31のドレイン端子は接続され、その接続点O11からの出力である電源電圧は、抵抗40の一端に入力され、抵抗40の他端はオペアンプである誤差増幅器41の非反転入力端子に入力され、さらに抵抗42の一端に接続されて、その抵抗42の他端は接地されている。また、誤差増幅器41の反転入力端子には、基準電圧源43が接続されている。誤差増幅器41の出力端子には、抵抗39の他端が接続され、その接続点O20には抵抗44の一端が接続される。抵抗44の他端には、抵抗45の一端が接続され、さらにnチャンネルMOSFET（以下、簡単にFETと呼ぶ）46のゲート端子に接続されている。FET46のドレイン端子は、抵抗47の一端に接続され、抵抗47の他端には、接続点O11から出力される電源電圧が入力される。また、FET46のソース端子は接地されている。FET46のドレイン端子は、nチャンネルMOSFET（以下、簡単にFETと呼ぶ）47のゲート端子に接続されていて、FET47のドレイン端子は抵抗48の一端に接続されている。抵抗48の他端には接続点O11から出力される電源電圧が入力される。また、FET47のソース端子は接地されている。さらに抵抗45の他端はFET47のドレイン端子に接続されていて、その接続点O21からはリセット信号が出力される。

【0052】このような構成において、整流回路6、7のそれぞれから出力される電圧が、動作電圧より高くなると、誤差増幅器41の出力電圧が上昇し、FET37、FET34、FET32、FET30、FET31の動作により、接続点O11に対し整流回路6、7からの直流電圧が一定電圧になるよう調整する所定の動作が行われる。さらに、誤差増幅器41の出力電圧は抵抗44を通しFET46、FET47を動作させ、接続点O21からのリセット信号をリセット状態が解除されるように出力する。

【0053】ところが、整流回路6、7のそれから出力される電圧が低くなると、接続点O11の電圧を一定電圧とすることができなくなり、誤差増幅器41の出力電圧は低下する。しかし、一度リセット状態が解除されている接続点O21からのリセット信号は、抵抗45の働きによって接続点O11から出力される電源電圧の値が最低動作保証電圧より低い値になった時にリセット状態となるようリセット信号が outputされる。

【0054】さらに、この状態から整流回路6、7のそれから出力される電圧が高くなり、再び動作電圧より高くなると、誤差増幅器41の出力により、各FETが動作状態となり所定の動作を行って、電源電圧を供給するとともに、リセット状態が解除されるようにリセット信号が outputされるようになっている。

【0055】このように、誤差増幅器41の出力電圧によってリセット信号を出力する回路に抵抗45等により正帰還を行い、基準電圧源43の電圧値と電源電圧を比較して得られる定電圧よりかなり低い電圧値である最低動作保証電圧に、リセット状態となる閾値を設定し、基準電圧源43の電圧値より高い電圧値である動作電圧にリセット状態を解除する閾値を設定してヒステリシス特性を持たせることにより、結合コイル4、5に与えられた磁界の変動により、電源電圧が少々変動したとしても、リセット状態となることを防ぎ、回路全体を安定に動作させることができるとなる。

【0056】この電圧調整回路8では、整流回路6、7のそれぞれに、誤差増幅器41の出力電圧による制御のもと、整流回路6にはFET30、FET32、抵抗33で構成され、整流回路7にはFET31、FET34、抵抗35で構成された個別の電圧調整回路を設けてあるので、結合コイル4、5の磁気結合の状態等により磁界の強さが均一でないときも、各整流回路には、ほぼ等しい電流が常に流れているようになっている。

【0057】整流回路6の接続点O1からは交流信号である受信搬送波 ϕ_1x が出力されて波形整形回路9に入力され、整流回路7の接続点O5からは交流信号である受信搬送波 ϕ_2x が出力されて、波形整形回路10に入力される。すなわち、整流回路6の接続点O1は、波形整形回路9を構成するコンデンサ9aの一端に接続され、コンデンサ9aの他端は、インバータ回路9bの入力端子および抵抗9cの一端に接続される。さらに、インバータ回路9bの出力端子および抵抗9cの他端は接続され、その接続点O15からは、なまつた波形が整形されて、パルス信号としてのデータ波 ϕ_1 が出力される。同様に、整流回路7の接続点O5は、波形整形回路10を構成するコンデンサ10aの一端に接続され、コンデンサ10aの他端は、インバータ回路10bの入力端子および抵抗10cの一端に接続される。さらに、インバータ回路10bの出力端子および抵抗10cの他端は接続され、その接続点O16からはなまつた波形が整

形されて、パルス信号としてのデータ波 ϕ_2 が出力される。

【0058】前述したように、整流回路6、7には、それぞれ個別の電圧調整回路が設けてあり、各整流回路6、7にはほぼ等しい電流が流れているようになっているため、波形整形回路9、10からは、安定したデータ波 ϕ_1 、 ϕ_2 が取り出すことが可能である。

【0059】次に、図6に示した回路構成について説明する。リセットタイマ11は、カウンタ回路11aで構成されていて、電圧調整回路8からのリセット信号はカウンタ回路11aのリセット入力端子に接続され、データ波 ϕ_2 はカウンタ回路11aのクロック入力端子に接続され、カウンタ回路11aのデータ入力端子には、常に論理レベルがハイレベルの信号が入力されるように電圧VDDが接続されている。リセット信号がハイレベルからロウレベルに変化してリセット状態となると、それと同時にカウンタ回路11aのデータ出力端子から出力されるシステムリセット信号はロウレベルとなりリセット状態となる。また、リセット信号がハイレベルとなって、リセット状態が解除されると、その時点からカウンタ回路11aに設定されたカウンタ値に応じて定まる一定時間後に、カウンタ回路11aのデータ出力端子から出力されるシステムリセット信号はハイレベルとなりリセット状態は解除される。

【0060】復調回路12は、フリップフロップ回路(以下、簡単にFF回路と呼ぶ)12aで構成されるものである。PSK変調信号であるデータ波 ϕ_1 、 ϕ_2 、は互いに位相が90°ずれていて、FF回路12aで簡単に復調できることが、このPSK変調の特徴である。すなわち、データ波 ϕ_1 をFF回路12aのデータ入力端子に接続し、データ波動 ϕ_2 をFF回路12aのクロック入力端子に接続する。その結果、FF回路12aのデータ出力端子から、復調された受信データ信号が出力される。

【0061】クロック切換回路13では、まず、フリップフロップ回路(以下、簡単にFF回路と呼ぶ)13aのデータ入力端子には、復調回路12のFF回路12aのデータ出力端子が接続され、FF回路13aのクロック入力端子にはデータ波 ϕ_2 が接続されている。さらに、FF回路13aのデータ出力端子にはイクスクルーシブオア回路(以下、簡単にEXOR回路と呼ぶ)13bの一方の入力端子が接続されている。EXOR回路13bの他方の入力端子には、復調回路12のFF回路12aのデータ出力端子が接続されている。その結果、EXOR回路13bの出力端子からは、受信データの変化点が検出されることになる。

【0062】また、カウンタ回路13cのデータ入力端子、フリップフロップ回路(以下、簡単にFF回路と呼ぶ)13dのデータ入力端子にも、復調回路12のFF回路12aのデータ出力端子が接続されている。

【0063】カウンタ回路13cのクロック入力端子にはデータ波 ϕ 2が接続され、カウンタ回路13cのリセット入力端子にはEXOR回路13bの出力端子が接続されている。

【0064】カウンタ回路13cのデータ出力端子はFF回路13dのクロック入力端子に接続されている。FF回路13dのデータ出力端子からは切換タイミング信号が出力される。すなわち、前述したように、EXOR回路13bで受信データの変化点が検出された時点から、カウンタ回路13cに設定されたカウンタ値に応じて所定時間遅延させて、データの位相が安定している時点でデータ波 ϕ 1、 ϕ 2を切換えるタイミングが生成されて、切換タイミング信号が出力されている。

【0065】データ送信時に、送信搬送波を送信するのに使用していない方の結合コイル、すなわち、結合コイル4で受信されたデータ波 ϕ 1をシステムクロックとして選択する必要がある場合は、例えば、CPU20からデータ送信を通知する信号がオア回路（図示せず）の入力端子の一方に入力され、他方の入力端子には前述の切換タイミング信号が入力されて、そのオア回路の出力端子から出力される信号を新たな切換タイミング信号として用いればよい。受信搬送波 ϕ 1x、 ϕ 2xの位相遷移が図2に示したようなとき、CPU20からデータ送信を通知する信号が「1」のとき、データ波 ϕ 1が選択され、システムクロック信号となる。

【0066】この切換タイミング信号は切換スイッチ13eに入力され、切換スイッチ13eでは、切換えタイミング信号に従ってデータ波 ϕ 1、 ϕ 2のいずれか一方に切換えてシステムクロック信号として出力するものである。

【0067】極性判別回路14では、まず、フリップフロップ回路（以下、簡単にFF回路と呼ぶ）14aのデータ入力端子に、復調回路12のFF回路12aの出力端子が接続され、FF回路14aのクロック入力端子にはシステムクロック信号が接続されている。また、FF回路14aの出力端子はEXOR回路14bの一方の入力端子が接続され、EXOR回路14bの他方の入力端子には、復調回路12のFF回路12aの出力端子が接続されている。その結果、EXOR回路14bの出力端子からは、システムリセット信号が発生して解除されたときに、初期状態の論理に設定された、受信データ信号が出力されるようになっている。

【0068】図5の説明に戻り、変調回路16から出力される送信データは送信スイッチング回路を構成するnチャンネルMOSFET（以下、簡単にFETと呼ぶ）50のゲート端子に接続される。FET50のソース端子は接地され、そのドレイン端子は整流回路7の接続点O6に接続される。その結果、FET50がオン状態となったとき、高周波数の交流信号である搬送波の半サイクルが短絡されたものが出力され、この信号により、結

合コイル5の負荷を変動させるようになっている。

【0069】以上説明したように、上記実施例によれば、結合コイル4、5のそれぞれで位相が互いに90°ずれている搬送波を受信し、その受信された搬送波のそれを整流回路6、7で整流して直流電圧を出力し、その直流電圧を電圧調整回路8で一定電圧になるよう調整して、ICカードPの内部回路の電源電圧を出力し、この電圧調整回路8において、誤差増幅器41の出力電圧によってリセット信号を出力する回路に抵抗45等によりヒステリシス特性を持たせて、電源電圧がICカードPの内部回路の動作が保証できる電圧（動作保証電圧）より低くなったときにリセット状態にし、電源電圧がICカードPの内部回路が動作するのに最適な電圧（動作電圧）より高くなったときリセット状態を解除するようなりセット信号を発生することにより、結合コイル4、5に与えられた磁界の変動により、電源電圧が少々変動したとしても、リセット状態となることを防ぎ、回路全体を安定に動作させることが可能となる。また、受信される搬送波の変動に対してICカードPの内部回路の動作可能な範囲が広くなり、通信エリアを大きくすることが可能となる。

【0070】また、結合コイル4、5のそれぞれで受信された位相が互いに90°ずれている受信搬送波 ϕ 1x、 ϕ 2xをそれぞれ波形整形回路9、10で波形整形してデータ波 ϕ 1、 ϕ 2を出力し、このデータ波 ϕ 1、 ϕ 2をもとに復調回路12で受信データ信号を復調し、クロック切換回路13において、その復調されたデータ信号のデータの変化点を検出して、データが「0」から「1」に変化したとき、および、CPU20からデータ送信を通知する信号として「1」が入力されたときにデータ波 ϕ 1を選択し、データが「1」から「0」に変化したときにデータ波 ϕ 2を選択する切換タイミング信号を生成し、その切換タイミング信号に基づき、データ波 ϕ 1、 ϕ 2にうちいずれか一方を選択してシステムクロック信号とすることにより、安定したクロック信号を供給することが可能となる。

【0071】また、結合コイル4、5のそれぞれで位相が互いに90°ずれている搬送波を受信し、その受信された搬送波のそれを整流回路6、7で整流して直流電圧を出力し、その直流電圧を電圧調整回路8において、それぞれ個別の電圧調整回路を使用して2つの整流回路6、7にほぼ等しい電流が流れるように調整することにより、結合コイル4、5の磁気結合の状態等により磁界の強さが均一でないときも、結合コイル4、5のそれぞれで受信された搬送波に伴う交流電流をほぼ等しくすることにより、受信搬送波 ϕ 1x、 ϕ 2xをそれぞれ波形整形回路9、10で波形整形する際、安定したデータ波 ϕ 1、 ϕ 2を得ることが可能となる。

【0072】また、データ送信時に、送信データ信号を変調回路16で変調した送信搬送波をFET50で構成

される送信スイッチング回路により、その半サイクルを短絡した信号により、結合コイル5の負荷を変動させて、搬送波を変調しデータを送信することにより、ICカードP内の電力損失がなく、また安定に送信データを送信することが可能となり、送信データのS/N比を大幅に向上させることが可能となる。さらに、以上の構成、効果からPLL回路や発振器等のアナログ回路を内蔵することなくLSI化も容易となる。

【0073】

【発明の効果】以上説明したように本発明によれば、PLL回路や発振器を内蔵することなく、安定したクロック信号を供給し、また電源電圧の変動に対してより安定な動作が確保でき、しかも安定したデータの送受信が可能となり、LSI化も容易な非接触式情報記録媒体を提供できる。

【図面の簡単な説明】

【図1】非接触式ICカードの構成を概略的に示すブロック図。

【図2】受信搬送波の位相遷移の具体例を示した図。

【図3】受信搬送波の包絡線変動の様子を説明するための図。

【図4】クロック切換回路から出力されるシステムクロック信号の様子を説明するための図。

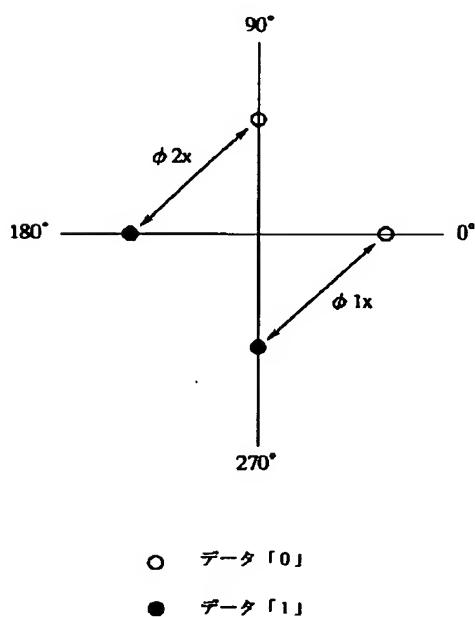
【図5】図1の各部の回路構成の具体例を示した図。

【図6】図1の各部の回路構成の具体例を示した図。

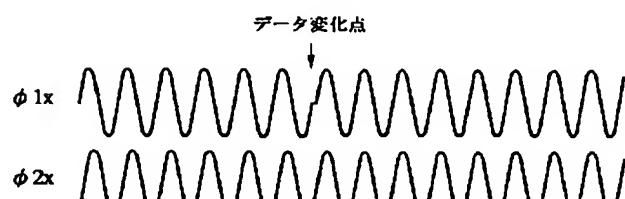
【符号の説明】

1…カードリーダライタ、1a…結合コイル、1b…結合コイル、2…通信回線、3…ホストコンピュータ、P…非接触式ICカード、4、5…結合コイル、6、7…整流回路、8…電圧調整回路、9、10…波形整形回路、11…リセットタイマ、12…復調回路、13…クロック切換回路、14…極性判別回路、15…シリアルインターフェイス部、20…CPU、21…ROM、22…RAM、23…EEPROM、 $\phi 1x$ 、 $\phi 2x$ …受信搬送波、 $\phi 1$ 、 $\phi 2$ …データ波。

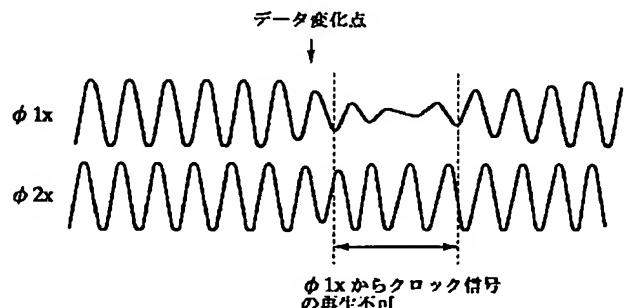
【図2】



【図3】

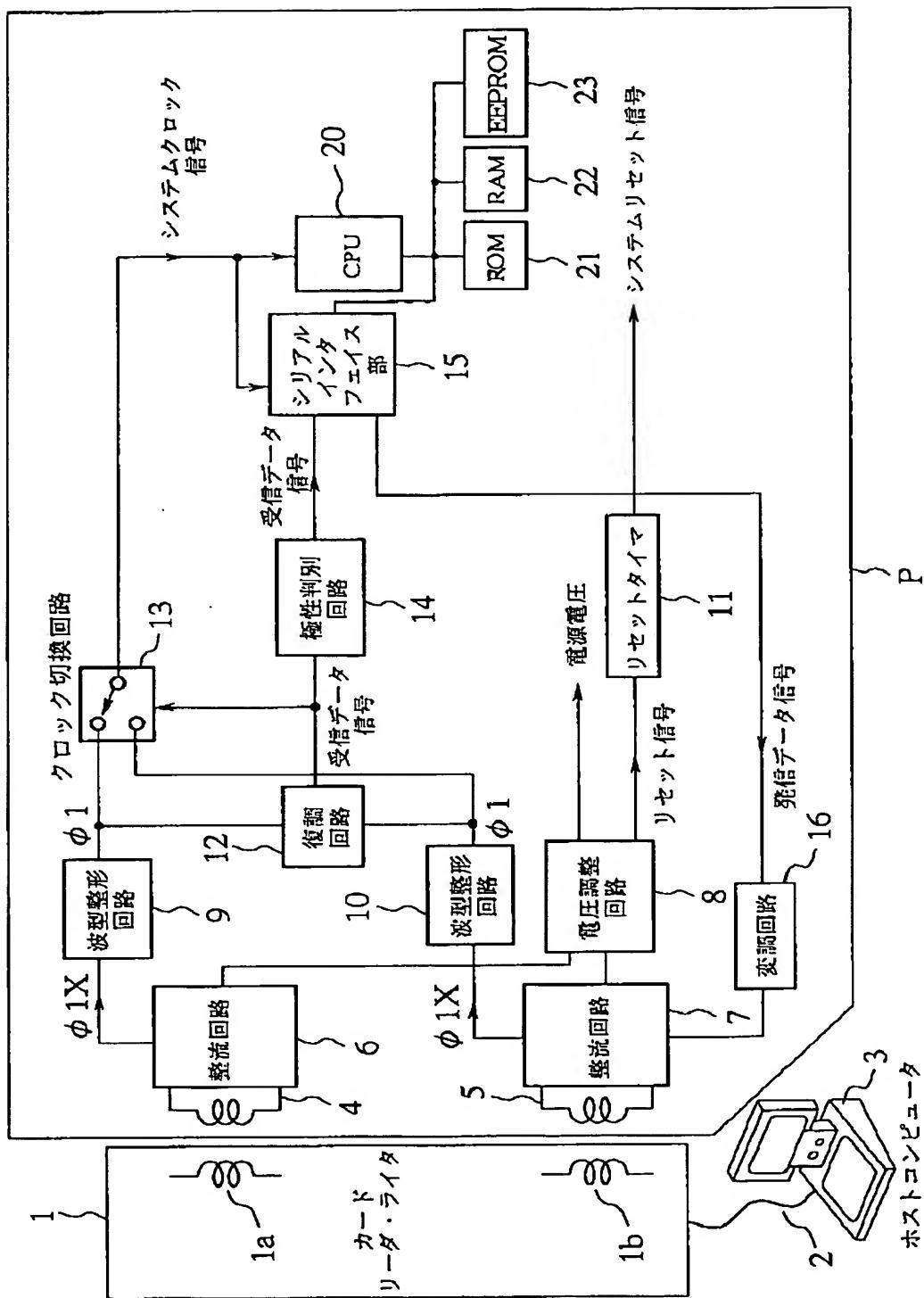


(a)

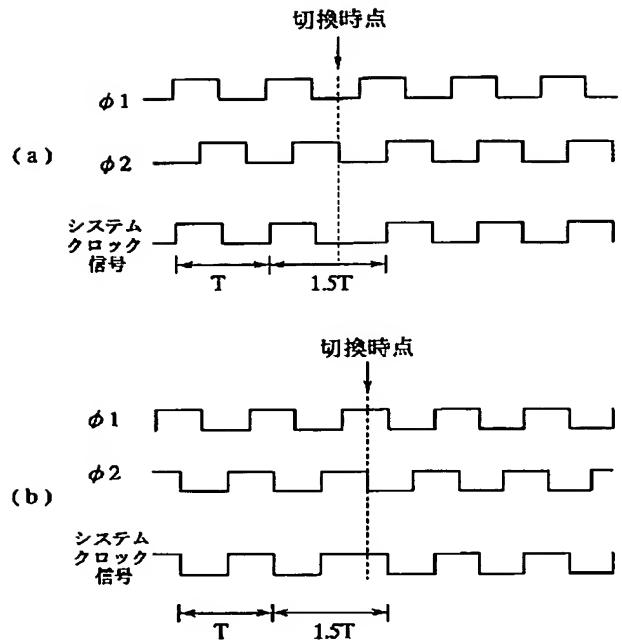


(b)

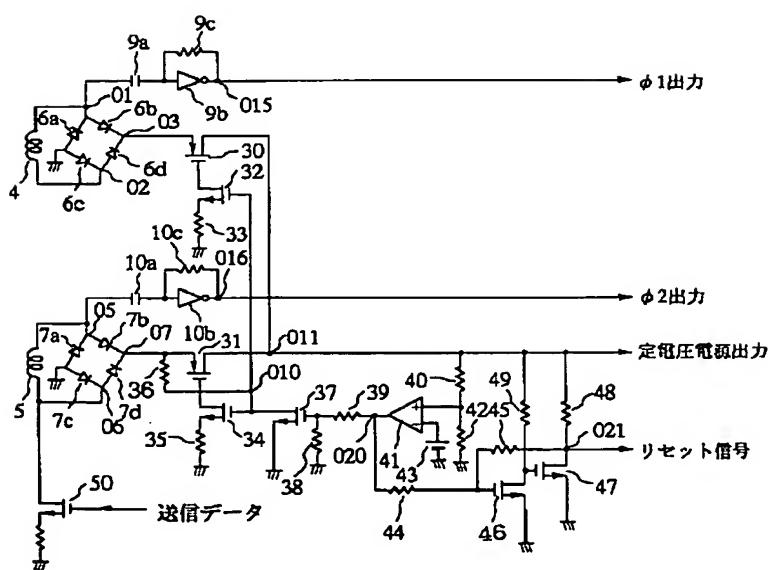
【図1】



【図 4】



【図 5】



【図6】

